

SEMICONDUCTOR PHOTODETECTOR

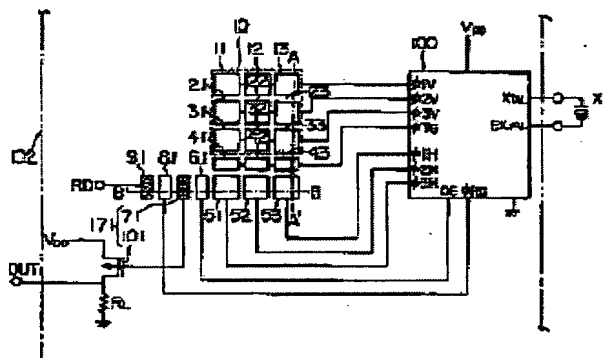
Patent number: JP5075090
Publication date: 1993-03-26
Inventor: MIYAGUCHI KAZUHISA; MURAKI TETSUHIKO
Applicant: HAMAMATSU PHOTONICS KK
Classification:
- international: **H01L27/148; H01L31/02; H04N5/335; H01L31/10; H01L27/148; H01L31/02; H04N5/335; H01L31/10;**
(IPC1-7): H01L27/148; H01L31/02; H01L31/10;
H04N5/335
- european:
Application number: JP19910236593 19910917
Priority number(s): JP19910236593 19910917

Report a data error here

Abstract of JP5075090

PURPOSE:To provide a high sensitive and low noise semiconductor photodetector.

CONSTITUTION:The photodetecting region of large photodiode is divided, for instance, into 3X3 segments. Electrodes 11-33 are provided on the photodetecting region 10 of a substrate 102 with a MOS structure. Transfer gate electrodes 41-43 are provided outside the photodetecting region 10. Further, transfer electrodes 51-53 are so arranged as to constitute a horizontal register. An output gate electrode 61, an n-type region 71, a reset gate electrode 81, the reset drain 91 of the n-type region 71, a floating diffusion amplifier 171 and its load resistor RL are provided. A control circuit 100 applies voltages to the respective electrodes.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-75090

(43) 公開日 平成 5 年 (1993) 3 月 26 日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/148				
31/02				
31/10				
		8223-4M	H 0 1 L 27/14	B
		7210-4M	31/02	A
審査請求 未請求 請求項の数 3 (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平3-236593

(22) 出願日 平成 3 年 (1991) 9 月 17 日

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の 1

(72) 発明者 宮口 和久

静岡県浜松市市野町1126番地の 1 浜松ホ
トニクス株式会社内

(72) 発明者 村木 哲彦

静岡県浜松市市野町1126番地の 1 浜松ホ
トニクス株式会社内

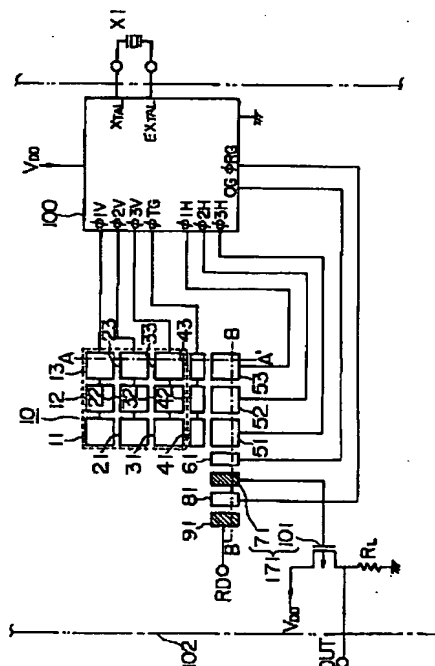
(74) 代理人 弁理士 長谷川 芳樹 (外 3 名)

(54) 【発明の名称】 半導体光検出装置

(57) 【要約】

【目的】 高感度、低雑音の半導体光検出装置を提供する。

【構成】 この半導体光検出装置は、大面積のフォトダイオードの光検出領域を 3×3 で分割した例である。この半導体光検出装置は、基板 102 のこの受光領域 10 上に、MOS 構造にて、電極 11 ~ 33 と、受光領域 10 の外側にはトランスファークロウ用電極 41 ~ 43 とを備える。また、移送用電極 51 ~ 53 が水平レジスタを構成するように配置され、出力ゲート用電極 61、n 型領域 71、リセットゲート電極 81、n 型領域のリセットドレイン 91、フローティングディフュージョンアンブ 171 及びその負荷抵抗 R_L が設けられている。制御回路 100 は各電極に電圧を印加するものである。



1

【特許請求の範囲】

【請求項1】 半導体基板と、

この基板の受光領域上に互いに隣接して配置された複数の電極と、

前記基板上に形成され、前記複数の電極のうち所定の電極近傍に蓄えられた電荷の転送を制御するトランスファークロウ用電極と、

前記電荷と反対極性のバイアス電圧を前記複数の電極に印加し、前記トランスファークロウ用電極より最遠の前記複数の電極から順次前記バイアス電圧の印加を解除し若しくは前記電荷と同一極性の電圧を印加し、前記トランスファークロウ用電極に前記電荷と反対極性の電圧を印加する制御回路とを備えたことを特徴とする半導体光検出装置。

【請求項2】 前記トランスファークロウ用電極を介して前記複数の電極近傍でかつ互いに隣り合った複数の移送用電極と、この移送用電極近傍に蓄えられた電荷の転送を制御する出力ゲート用電極とを前記基板上にさらに備え、

前記制御回路が、さらに、前記出力ゲート用電極から最遠の前記移送用電極から順次前記バイアス電圧の印加を解除し若しくは前記電荷と同一極性の電圧を印加し、前記出力ゲート用電極に前記電荷と反対極性の電圧を印加することを特徴とする請求項1記載の半導体光検出装置。

【請求項3】 前記トランスファークロウ用電極若しくは前記出力ゲート用電極近傍にフローティングディフュージョンアンプをさらに備えたことを特徴とする請求項1又は2記載の半導体光検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体光検出装置に関し、特に、高感度、低雑音の半導体光検出装置に関する。

【0002】

【従来の技術】 半導体光検出装置の一例として、図5に示すように、光検出器にフォトダイオードを用い、このフォトダイオードからの検出出力をFETソースフォロアで電流増幅して出力を得るものが知られている。この半導体光検出装置では、フォトダイオードで光検出によって信号電荷が生じ、この信号電荷による電圧がFETのゲート用電極に印加されている。FETのゲート用電極の入ラインピーダンスが非常に高いため、信号電荷による電圧が保持され、FETのソースに接続された負荷抵抗 R_L にこの電圧が出力される。図5の回路の等価回路が図6に示されている。光検出によってFETのゲート用電極に生じる電圧変化 ΔV は、入射した光で生じた信号電荷量 ΔQ 及びゲート用電極に接続されている全容量 C （FET入力容量 C_{i1} 及びフォトダイオードPDの容量 C_{PD} の和）を用いて、

2

$$\Delta V = \Delta Q / C = \Delta Q / (C_{i1} + C_{PD})$$

とあらわされる。この ΔV が負荷抵抗 R_L にあらわれる。

【0003】

【発明が解決しようとする課題】 微弱な光を検出するためには半導体光検出装置を高感度のものにすることが必要である。その方法の一つとして、大面積のフォトダイオードを光検出器に用いるということが考えられている。しかし、大面積のフォトダイオードではその容量 C_{PD} が大きくなり、前述の式に示したように、光検出によってFETのゲート用電極に生じる電圧変化 ΔV が小さくなる。これは、等価的に感度が低下することを意味し、熱雑音（ kT ：雑音）などのノイズの影響を受け、ノイズ成分が信号に混入しやすくなる。また、フォトダイオードの検出出力用の電極に信号電荷が到達するのに時間がかかり、応答が鈍くなり、残像現象などが生じてしまう。このように、半導体の光検出器では、小型軽量という利点はあるのだが、微弱な光を検出するのにその性質上の限界を有していた。

【0004】 本発明は、前述の問題点を克服し、従来よりも高感度、低雑音の半導体光検出装置を提供することをその目的とする。

【0005】

【課題を解決するための手段】 本発明の半導体光検出装置は、半導体基板と、この基板の受光領域上に互いに隣接して配置された複数の電極と、基板上に形成され、複数の電極のうち所定の電極近傍に蓄えられた電荷の転送を制御するトランスファークロウ用電極と、電荷と反対極性のバイアス電圧を複数の電極に印加し、トランスファークロウ用電極より最遠の複数の電極から順次バイアス電圧の印加を解除し若しくは電荷と同一極性の電圧を印加し、トランスファークロウ用電極に電荷と反対極性の電圧を印加する制御回路とを備えたことを特徴とする。

【0006】 また、トランスファークロウ用電極を介して複数の電極近傍でかつ互いに隣り合った複数の移送用電極と、この移送用電極近傍に蓄えられた電荷の転送を制御する出力ゲート用電極とを基板上にさらに備え、制御回路が、さらに、出力ゲート用電極から最遠の移送用電極から順次バイアス電圧の印加を解除し若しくは電荷と同一極性の電圧を印加し、出力ゲート用電極に電荷と反対極性の電圧を印加することを特徴としてもよい。

【0007】 そして、出力ゲート用電極近傍にフローティングディフュージョンアンプをさらに備えたことを特徴としてもよい。

【0008】

【作用】 本発明の半導体光検出装置では、受光領域で入射した光によって生じた電荷は、トランスファークロウ用電極の側の電極から最遠の受光領域上の電極から順次バイアス電圧の印加が解除され若しくは電荷と同一極性

3

の電圧が印加されることで、ポテンシャル障壁がトランスファークエード用電極の側の電極近傍へと順次高くなり、電荷がひきよせられる。トランスファークエード用電極に電荷と反対極性の電圧が印加されると、トランスファークエード用電極近傍のポテンシャル障壁が低くなって電荷が通過できるようになりこれが読み出される。

【0009】移送用電極及び出力ゲート用電極が設けられている場合、この電荷が、トランスファークエード用電極に電荷と反対極性の電圧が印加されることによって移送用電極に転送された後、出力ゲート用電極から最遠の移送用電極から順次バイアス電圧の印加が解除され若しくは電荷と同一極性の電圧が印加されると、ポテンシャル障壁が出力ゲート用電極の側の電極近傍へと順次高くなり、出力ゲート用電極の側の移送用電極近傍に集められる。電荷が集められることで、この電荷による電位が上昇し、これが出力ゲート用電極に電荷と反対極性の電圧が印加されていると、出力ゲート用電極近傍のポテンシャル障壁が低くなって電荷が通過できるようになりこれが出力される。

【0010】フローティングディフュージョンアンプが設けられている場合、これらの出力はその高い入力インピーダンスにより、電荷が保持されて減衰の非常に少ない出力となる。

【0011】

【実施例】本発明の実施例を図1乃至図4を用いて説明する。この図1に示す半導体光検出装置は、簡単のために大面積のフォトダイオードの光検出領域を3×3で分割した例である。

【0012】この半導体光検出装置は、p型半導体の基板102に、MOS構造にて、電極11～33が配置されている。受光領域10は、電極11～33のいずれかに正電圧を加えることで、MOSキャパシタ型の光電変換が行われる光検出領域である。電極11～13、21～23、31～33は、それぞれ互いに接続されて、コントロール電圧 ϕ_{1v} 、 ϕ_{2v} 、 ϕ_{3v} が与えられ、受光領域10の表面のポテンシャルを制御し、その電極近傍の基板表面に電荷を蓄積しもしくは転送、放出するものである。

【0013】電極31～33近傍の受光領域10の外側にはトランスファークエード用電極41～43が設けられ、コントロール電圧 ϕ_{1c} により正電圧が加えられてその付近のポテンシャル障壁を低くすることで、電極31～33近傍に保持された電荷を移送用電極51～53に転送するものである。移送用電極51～53も、電極11～33と同様、MOS構造を有し、コントロール電圧 ϕ_{1s} 、 ϕ_{2s} 、 ϕ_{3s} により、基板表面のポテンシャル障壁を制御して、その電極近傍の基板表面に電荷を蓄積し、もしくは放出するものである。出力ゲート用電極61は、正電圧が加えられることで、移送用電極51近傍に保持された電荷をn型領域71に転送するものである。

4

【0014】n型領域71及びFET101でフローティングディフュージョンアンプ171が構成されており、n型領域71に蓄積された電荷による電圧が負荷抵抗 R_L に出力される。n型領域71、リセットゲート電極81、リセットドレイン91でリセットFETが構成され、リセットドレイン91の出力 R_D を介して基準電圧ライン（グラウンド電圧ライン）若しくは負電圧に接続されている。このリセットFETは、コントロール電圧 ϕ_{1c} によりリセットゲート電極81に正電圧が加えられると、オンになり、n型領域71に蓄積された電荷を放出して、n型領域71をグラウンド電位にする、というフローティングディフュージョンアンプ171をリセットするものである。

【0015】制御回路100は、図2のタイミングチャートに示すようなコントロール電圧 ϕ_{1v} 、 ϕ_{2v} 、 ϕ_{3v} 、 ϕ_{1c} 、 ϕ_{1s} 、 ϕ_{2s} 、 ϕ_{3s} 、 ϕ_{1c} を発生し、各電極へ出力するものである。制御回路100は、外部に設けられた水晶発振子若しくはセラミック発振子X1による基準クロックで制御され、カウンタ及びデコーダという簡単な構成で製作されている。

【0016】つぎに、この半導体光検出装置の動作について図1のA-A'、B-B'断面の基板102のポテンシャル図（図3、図4）を用いて説明する。

【0017】コントロール電圧 ϕ_{1v} が「H」レベルとなっている期間が電荷蓄積期間であり、この期間において光電変換によって生じた電荷が受光領域10に蓄積される（図2の時刻 t_0 の状態、図3（a）、図4（a）参照）。電荷蓄積期間経過後、コントロール電圧 ϕ_{1v} 、 ϕ_{2v} 、 ϕ_{3v} が順次「L」レベルとなり、電極11～13、21～23、31～33近傍のポテンシャル障壁が順次高くなり、光電変換によって生じた電荷がトランスファークエード用電極41～43の方に押しやられ、コントロール電圧 ϕ_{1c} 「H」レベルとなり、移送用電極51～53とつながって電荷が集められる（図2の時刻 $t_1 \sim t_3$ の状態、図3（b）～（d）、図4（a）、（b）参照）。続いて、コントロール電圧 ϕ_{3v} が「L」レベルとなり、受光領域10で生じた全電荷が移送用電極51～53近傍に転送される（図2の時刻 t_4 の状態、図3（e）、図4（c）参照）。トランスファークエード用電極41～43が「L」レベルとなり、電極41～43近傍のポテンシャル障壁が高くなって、受光領域10と移送用電極51～53近傍とがきりはなされる（図2の時刻 t_5 の状態、図3（f）、図4（d）参照）。

【0018】受光領域10では、コントロール電圧 ϕ_{1v} 、 ϕ_{2v} 、 ϕ_{3v} は「H」レベルとなって電荷蓄積期間になり、この動作が繰り返される（図2の時刻 t_6 以降の状態、図3（g）、（h）、（i）参照）。一方、移送用電極53、51へのコントロール電圧 ϕ_{1s} 、 ϕ_{2s} 、 ϕ_{3s} が順に「L」レベルとなり（OGにはDC電圧が印加されている）、移送用電極51の方に電荷が集めら

れ、n型領域71に電荷が転送される。また、コントロール電圧 ϕ_{1c} が「H」レベルとなり、n型領域71の電荷が放出されて、フローティングディフュージョンアンプ171がリセットされている(時刻 $t_6 \sim t_8$ の状態、図4(e)(f)(g)参照)。コントロール電圧 ϕ_{1c} が「L」レベルとなって、全電荷がn型領域71に転送され、n型領域71が切り離される。このn型領域71の電荷による電圧がフローティングディフュージョンアンプ171で増幅され負荷抵抗 R_L に出力される(時刻 t_8 の状態、図4(g)参照)。次にリセットゲートが「H」レベルとなり、FDがリセットされるまでこの状態が保持され、この動作がくりかえされる。

【0019】このように、受光領域10で光電変換によって生じた電荷がn型領域71に転送されて、電荷の読み残し、残像がなくなる。電荷の転送ロスを見無視すると、前述の容量と電荷量の関係からn型領域71には、およそ受光領域10の電位の「(受光領域10の容量)/(n型領域71の容量)」倍の電位が生じる。即ち、受光領域から基板上の所定領域に電荷を転送することで、等価的にそれらの容量比に応じた電圧増幅がなされる。その領域に保持された電荷がフローティングディフュージョンアンプの高い入力インピーダンスにより保持され、この電荷による電圧が出力される。これによって、高感度、低雑音の光検出がなされている。

【0020】本発明は、前述の実施例に限らず様々な変形が可能である。

【0021】電極数、電極配列、電極形状や各電極にかかるパルス波形などについては、例えば、前述の第1実施例において電極11~33をトランスファークエーゲート用電極41~43から遠ざかるにつれて大きくなるように構成しても良い。また、図1の電極11~33を削除し、転送用電極に受光領域を設けても良い。この場合は、電圧増幅率は減少するが制御が若干簡単になる。基板についてもその表面に低不純物のn層が設けられたpn接合を有するものを用いることができる。また、制御回路を基板外に設けても良い。フローティングディフュージョンアンプにかえてチャージアンプにしても良い。さらに、受光領域を小さくして多数マトリクス状に配置し、それぞれの受光領域にトランスファークエーゲート用電極

若しくは出力ゲート用電極を設けることによっていわゆる固体撮像素子を構成すると残像の少なく感度の良い固体撮像素子になる。このように、上記の色々な組み合わせで様々なバリエーションが可能である。

【0022】

【発明の効果】以上の通り本発明によれば、トランスファークエーゲート用電極の側の電極から最遠の電極から順次バイアス電圧の印加が解除され若しくは電荷と同一極性の電圧が印加されることで、光検出で生じる電荷を効率的に集めることができ、読み残し、残像がなくなり、また、検出出力が等価的に電圧増幅され、低雑音化され検出感度を向上させることができる。移送用電極から順次バイアス電圧の印加が解除され若しくは電荷と同一極性の電圧が印加されることで、検出出力がさらに電圧増幅され、低雑音化され検出感度が向上させることができる。フローティングディフュージョンアンプの増幅により、減衰の非常に少ない出力となり、さらに良好な検出出力を得ることができる。

【図面の簡単な説明】

【図1】第1実施例の構成図。

【図2】制御回路からの制御パルスのタイミングチャート。

【図3】図2の制御パルスによる第1実施例のポテンシャル図。

【図4】図2の制御パルスによる第1実施例のポテンシャル図。

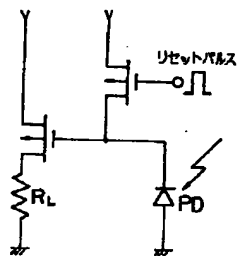
【図5】従来例の半導体光検出装置の回路図

【図6】図5の等価回路を示す回路図。

【符号の説明】

- 10…受光領域
- 11~13…電極
- 21~23…電極
- 31~33…電極
- 41~43…トランスファークエーゲート用電極
- 61…出力ゲート用電極
- 100…制御回路
- 51~53…電極
- 171…フローティングディフュージョンアンプ

【図5】

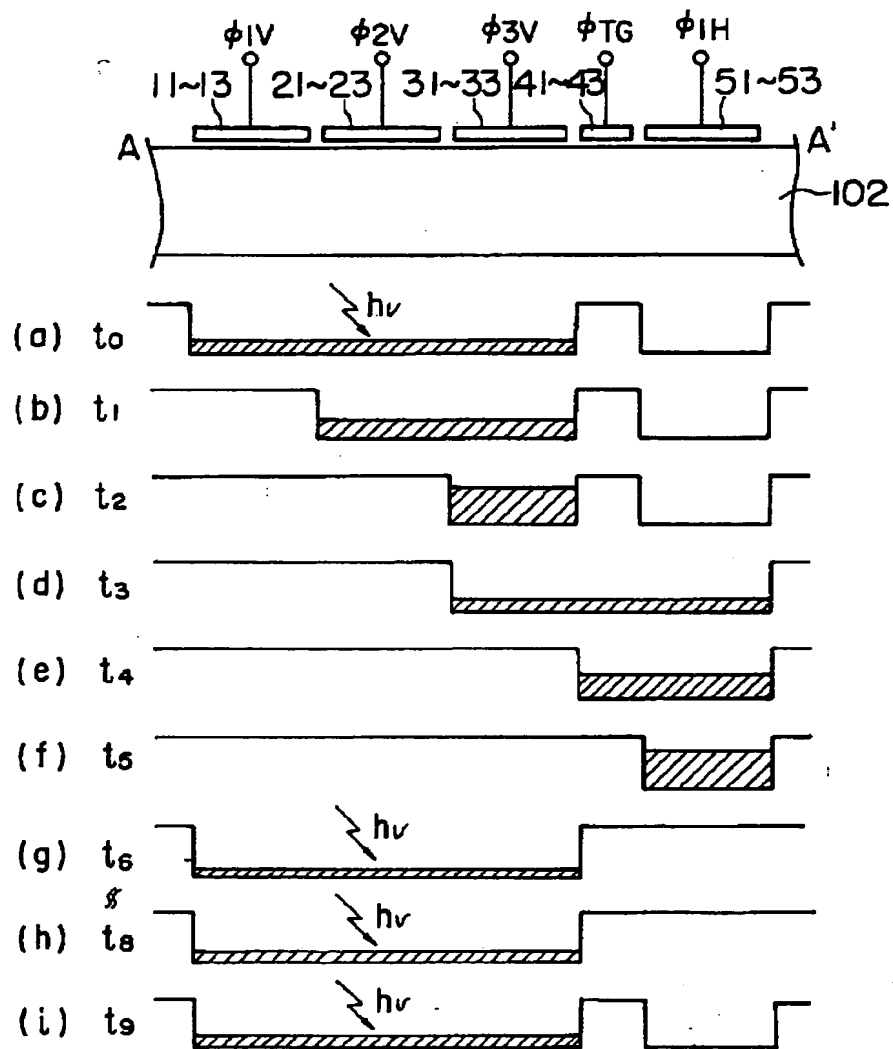


The diagram shows the timing of various signals relative to time intervals t_0 through t_9 . The signals are:

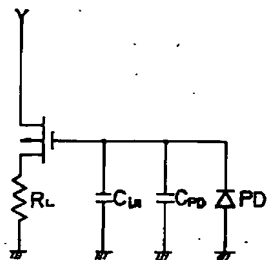
- ϕIV : High from t_0 to t_5 , low from t_6 to t_9 .
- $\phi 2V$: High from t_0 to t_1 , low from t_2 to t_5 , high from t_6 to t_9 .
- $\phi 3V$: High from t_0 to t_3 , low from t_4 to t_5 , high from t_6 to t_9 .
- ϕTG : High from t_2 to t_4 , low from t_0 to t_1 and t_5 to t_9 .
- $\phi 1H$: High from t_0 to t_5 , low from t_6 to t_8 , high from t_9 .
- $\phi 2H$: High from t_0 to t_6 , low from t_7 to t_8 , high from t_9 .
- $\phi 3H$: High from t_0 to t_7 , low from t_8 to t_9 .
- ϕRG : High from t_5 to t_6 , low from t_0 to t_4 and t_7 to t_9 .

A '蓄積時間' (Storage Time) period is indicated from t_5 to t_9 .

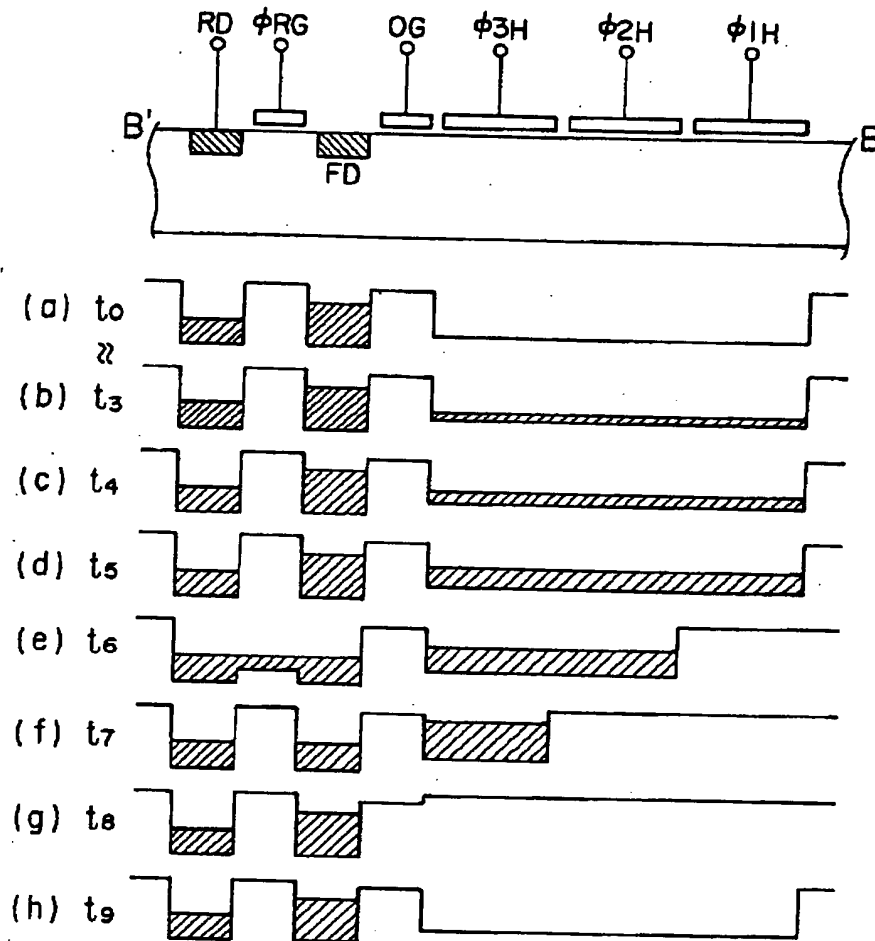
【図3】



【図6】



【図4】



フロントページの続き

(51) Int. Cl.⁵

H04N 5/335

識別記号

庁内整理番号

F I

技術表示箇所

F 8838-5C

8422-4M

H01L 31/10

A